

CSIP_Ka_4_01

1 性能特点

频率范围：33GHz~37GHz

组件包括 4 个天线端口（ANT1、ANT2、ANT3、ANT4），1 个公共端口（COM），组件核心芯片选用的是 1 个 4 通道移相衰减多功能芯片和 4 个收发多功能芯片，直接集成在多层陶瓷基板上，多层陶瓷基板大幅减小了无源器件和网络占用的面积。4 通道收发组件框图如图 1 所示。

组件采用了+5.0V、-5.0V 供电。

组件的基板为多层陶瓷，其中射频输入、输出、控制及供电接口位于组件的底层，通过 300 微米铅锡球分别与天线板和网络转接板进行焊接。

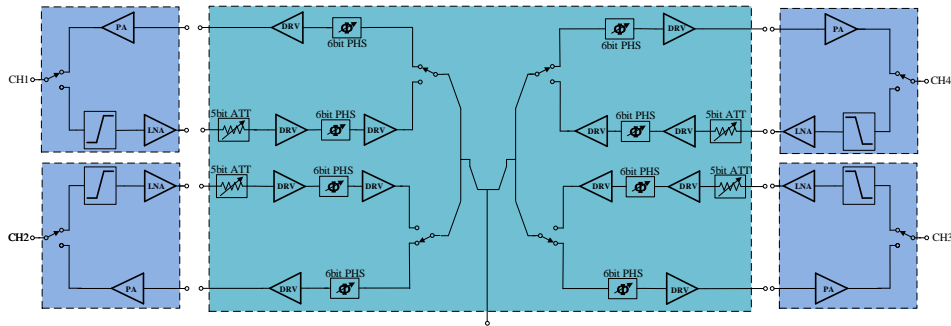


图 14 通道收发组件框图

2 电性能指标

组件的主要电性能指标如表 1 所示：

表 1 组件主要电性能指标

	指标	典型值	单位	备注
	工作带宽	33-37	GHz	
发射通道	峰值功率	27	dBm	
	功率增益	20	dB	
	发射通道效率	23.5%		
接收通道	单通道接收增益	23	dB	
	噪声系数	5.0	dB	
	衰减位数	5	Bit	
	衰减范围	0-15.5	dB	
	衰减精度	0.8	dB	RMS
	接收总功耗	0.95	W	
移相	移相位数	6	Bit	
	移相范围	0-354.375	Deg	
	移相精度	5	Deg	RMS
整体	输入/输出驻波比	1.6		
	组件效率 (%)	18%		30% 占空比
	组件重量	4.5	g	
	组件尺寸	8.3*9.5*2	mm	

3 电源及波控接口

组件供电及控制接口说明如表 2 所示：

表 2 组件电源及控制接口说明

符号	属性	功能描述
DOUT	输出	串行数据输出
CLK	输入	时钟
DIN	输入	串行数据输入
DEN	输入	DATA 数据有效指示 低电平且时钟上升沿锁存 DIN 比特
EN	输入	四通道组件工作有效 高电平负载态，低电平正常工作
TR1	输入	TR 调制信号输入 产生接收电源调制 (RX)
TR2	输入	TR 调制信号输入 产生发射电源调制 (TX)
LD	输入	数据载入至输出寄存器 高电平期间第一个 CLK 上升沿锁存
SET	输入	二级锁存信号
FIN	输入	功能寄存器串行数据输入
-5V	输入	-5V 电压输入
+6V	输入	+6V 电压输入
RF_1	输入/输出	通道 1 输入输出端口
RF_2	输入/输出	通道 2 输入输出端口
RF_3	输入/输出	通道 3 输入输出端口
RF_4	输入/输出	通道 4 输入输出端口
COM	输入/输出	公共输入输出端口
GND	/	地

4 控制时序

组件控制时序如图 2 所示：

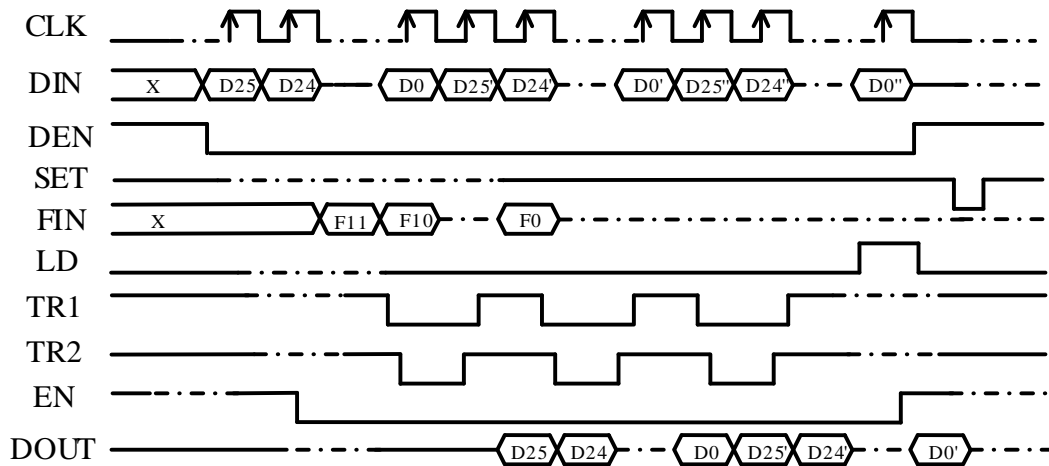


图 2 幅相多功能芯片控制时序图（单片\并联使用）

注 1: DIN 为 reg_data1 中数据输入，FIN 为 reg_fun1 数据输入，数据在均在 CLK 上升沿时输入；DOUT 为数据的串行输出，并且在 CLK 下降沿输出。

注 2: DEN 为一级锁存触发信号，DEN 为低电平时，串行数据输入有效，在 DEN 上升沿将 reg_data1 中数据锁存；SET 为二级锁存触发信号，在 SET 上升沿将 reg_data2 中数据锁存。

注 3: EN 信号为低电平时，TR 组件工作有效，EN 信号为高电平时，TR 组件处于负载态。

注 4: LD 为自动加载数据使能信号。在 LD 高电平期间，CLK 的上升沿将把指定数据载入到 reg_data1 中。

注 5: TR2 与 CLK 为非同源信号，在设计中按异步信号做同步处理。

5 外形尺寸及端口定义（单位：微米）

组件的外形尺寸如图 3 所示：

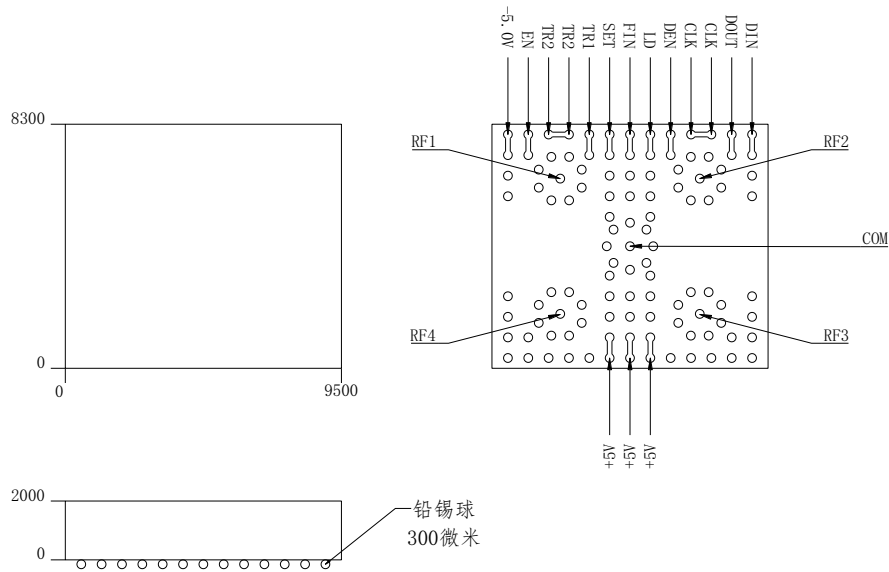


图 3 组件外形三视图和管脚分布

- 注 1：图示背部引脚为顶层透视图；
- 注 2：实物可根据客户需求，在顶层做标识；
- 注 2：需要器件底部 BGA 焊盘图纸电子档可联系供应商；